

## References (transliterated)

1. Melnyk O. S., Kozarevich V. O., Khodimchuk D. S. Komp'yuterne modelyuvannya poslidovnostnykh nanoprystroyiv [Computer modeling of sequential nanodevices]. *Problemy informatyzatsiyi ta upravlinnya. Zb. nauk. pratz'. nats. aviatsiynogo un-tu* [Problems of informatization and control. Collection of scientific works of National Aviation University]. Kyiv, 2014, vol. 2 (46), pp. 42–45.
2. Lent C. S., Tougaw P. D. A Device Architecture for Computing with Quantum Dots. *Proc. of the IEEE*. 1997, vol. 85, issue 4, pp. 541–557, DOI: 10.1109/5.573740.
3. Pakulov N. I. *Mazhoritarnyy printsyp postroeniya nadezhnykh uzlov i ustroystv* [Majority principle of constructing reliable nodes and devices]. Moscow, Sov. Radio Publ., 1974. 184 p.
4. Walus K., Dysart T. J., Jullien G. A., Budiman R. A. QCADesigner : A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata. *IEEE Transactions on Nanotechnology*. 2004, vol. 3, issue 1, pp. 26–31. DOI: 10.1109/TNANO.2003.820815.

Надійшло (received) 19. 02.2018

## Відомості про авторів / Сведения об авторах / Information about authors

**Мельник Олександр Степанович (Мельник Александр Степанович, Melnyk Oleksandr Stepanovych)** – кандидат технічних наук, доцент, Національний авіаційний університет, м. Київ; тел.: (067) 213-03-08; e-mail: melnyk.ols@gmail.com.

**Горбарчук Максим Сергійович (Горбарчук Максим Сергеевич, Horbarchuk Maksym Serhiyovych)** – студент, Національний авіаційний університет м. Київ; тел.: (093) 901-49-13; e-mail: maxbasket@ukr.net.

УДК 621.382.3 (045)

**О. С. МЕЛЬНИК, А. О. БОРСУК****СИНТЕЗ МАЖОРИТАРНИХ ОДНОЕЛЕКТРОННИХ НАНОПРИСТРОЇВ З ПАМ'ЯТТЮ**

Запам'ятовуючі нанопристрої відрізняються великим різноманіттям мажоритарних тригерних структур, які є базовими фрагментами наносхем великого ступеня інтеграції. В роботі описано синтез надійних послідовностних нанопристроїв одно-електроніки на базі технологій квантових коміркових автоматів. При побудові мажоритарних наносхем з пам'яттю використовуються теорія кінцевих автоматів. Проаналізовано технологія комп'ютерного проектування різних типів арифметико-логічних нанопристроїв. Створені надшвидкодійні нанореєстри паралельної дії та з парафазним керуванням.

**Ключові слова:** квантові автомати, мажоритарна логіка, одноелектроніка, нанореєстри, комп'ютерне проектування.

**О. С. МЕЛЬНИК, А. О. БОРСУК****СИНТЕЗ МАЖОРИТАРНО ОДНОЭЛЕКТРОННЫХ НАНОУСТРОЙСТВ С ПАМЯТЬЮ**

Запоминающие наноустройства отличаются большим разнообразием мажоритарных тригерных структур, которые являются базовыми фрагментами наносхем высокого уровня интеграции. В работе описывается синтез надежных последовательностных наноустройств одноелектроніки на базе технологий квантовых сотовых автоматів. При построении мажоритарных наносхем с памятью используются теория конечных автоматів. Проанализирован порядок компьютерного проектирования различных типов арифметико-логических наноустройств. Созданы сверхбыстродействующие нанореєстри параллельного действия и с парафазным управлением.

**Ключевые слова:** квантовые автоматы, мажоритарная логика, одноелектроніка, нанореєстри, компьютерное проектирование.

**O. S. MELNYK, A. O. BORSUK****SYNTHESIS OF MAJORITY SINGLE-ELECTRON NANODEVICES WITH MEMORY**

Memorizing nanodrives are distinguished by a large variety of majoritarian trigger structures, which are the basic fragments of the the nanocircuit of a high integration level. The paper describes the synthesis of reliable sequential nanodevices of single- electronics based on the technology of quantum cellular automata. When constructing majority nano-circuits with memory, the theory of finite automata is used. The order of computer design of different types of arithmetic and logic nano devices is analyzed. High-speed parallel-acting and paraphase control nanoregisters control are created.

**Key words:** quantum automata, majority logic, single-electronics, nanoregisters, computer design.

**Вступ.** Поняття *скінченного автомата* виникло в середині 20-го ст. у зв'язку із спробами математично описати функціонування нервових систем, обчислювальних машин та інших технічних автоматів [1]. Характерною особливістю цього класу математичних моделей є скінченність (а, значить, і дискретність) множин елементів, що складають математичну модель. Подальший розвиток теорії йшов шляхом розгляду нескінченних автоматів того чи іншого виду, введення недетермінованих відношень (випадкових функцій) між входом та виходом автомата тощо.

**Алгоритм синтезу мажоритарних нанопристроїв з пам'яттю.** Скінченим автоматом називається множина п'яти підмножин, тобто математична структура виду:

© О. С. Мельник, А. О. Борсук, 2018

$$A = \{X, Y, Q, f, \varphi\}, \quad (1)$$

де  $X = x = \{x_0, x_1, \dots, x_n\}$  – скінченна множина вхідних змінних;  $Y = y = \{y_0, y_1, \dots, y_m\}$  – скінченна множина вихідних змінних;  $Q = \{Q_0, Q_1, \dots, Q_n\}$  – скінченна множина внутрішніх змінних станів автомата;  $\varphi = (q, x)$  – функція переходу автомата із одного стану в інший;  $f = (q, x)$  – функція виходу.

Функції  $f$  та  $\varphi$  є булевими, для них виконується системна аксіома алгебри логіки.

Автомат (1) функціонує тільки в дискретні моменти часу  $t_i \in \{t_0, t_1, \dots, t_p\}$ . В кожний момент часу  $t_i$  автомат знаходиться в певному стані із множини  $Q$  станів автомата, тобто має певний набір значень змінних  $q_i$ . Станом автомата тут вважається сукупність значень змінних стану  $q$ .

Оскільки автомат є рекурентною булевою функцією, то залежність значення стану автомата в момент часу  $t_i$  від значення стану в момент  $t_{i-1}$  може інтерпретуватися як наявність у автомата пам'яті. Тобто значення стану  $q(t_{i-1})$  запам'ятовується і зберігається протягом інтервалу часу  $(t_{i-1}, t_i)$ . Цей факт є наріжним каменем у технічних застосуваннях математичної теорії скінчених автоматів. Для того, щоб підкреслити наявність пам'яті у автомата, говорять також, що  $q$  є стійким станом автомата (рис. 1.)

З появою пам'яті в технічних засобах, що реалізують математичну модель скінченного автомата, стало можливим виконувати логічні операції послідовно, оскільки інформація може зберігатися в пам'яті і в потрібний момент часу вибиратися звідти для керування операціями комбінаційної логіки. Схеми, що працюють таким чином, стали називати *послідовностними*. З іншого боку, для керування деякими схемами такого типу використовують періодичні часові сигнали. В цьому випадку схеми називають *синхронними*, або схемами, що керуються часом. Для керування послідовностними схемами можуть використовуватися випадкові події. Такі схеми називають *асинхронними*, або схемами, що керовані подіями.



Рис. 1 – Схема структура скінченного автомата.

В початковий момент часу автомат знаходиться у своєму початковому стані  $q_0$ . В кожний наступний момент часу автомат може сприймати набір значень вхідних змінних  $x$ , реагувати на нього зміною свого стану  $q$  (своїх внутрішніх змінних) та зміною значень вихідних змінних  $y$ . В цьому і полягає факт функціонування автомата. Причому вважається, що в результаті дії вхідних сигналів автомат переходить із поточного стану  $q(t_i)$  в новий стан  $q(t_{i+1})$  стрибкоподібно.

Зміст закону функціонування автомата визначається видом функції переходу  $\varphi(x, q)$  та функції виходу  $f(x, q)$ , тобто рівняннями наступного вигляду:

$$\begin{cases} q(t_{i+1}) = \varphi(x(t_i), q(t_i)); \\ y(t_{i+1}) = f(x(t_i), q(t_{i+1})); \\ y(t_{i+1}) = f(q(t_i)). \end{cases} \quad (2)$$

Значення наступного стану  $q(t_{i+1})$  залежить від значення поточного стану  $q(t_i)$  та значення вхідних змінних  $x(t_i)$ .

**Синтез базових нанотригерів.** Розглянемо основні принципи побудови та функціонування найбільш поширених тригерних наноелементів.

*Тригером* називається пристрій, здатний формувати два сталих значення вихідного сигналу і стрибкоподібно змінювати ці значення під дією зовнішнього керуючого сигналу. У загальному випадку тригер містить власне елемент пам'яті і деяку вхідну комбінаційну схему, перетворюючу вхідні сигнали тригера в сигнали, необхідні для управління елементом пам'яті.

Існуючі типи тригерів можуть бути класифіковані за різними ознаками. Найбільш часто тригери класифікують за типом використовуваних інформаційних (настановних) входів. Розрізняють такі типи основних інформаційних входів тригера:

$R$  – роздільний вхід скидання тригера ( $Q = 0$ );

$S$  – роздільний вхід установки тригера ( $Q = 1$ );

$K$  – вхід скидання універсального тригера ( $Q = 0$ );

$J$  – вхід установки універсального тригера ( $Q = 1$ );

$T$  – рахунковий вхід тригера;

$D$  – інформаційний вхід перемикавання тригера в стан, що відповідає логічному рівню на цьому вході;

$C$  – синхронізуючий або управляючий вхід.

Так, визначення «синхронний RS-тригер з інверсними статичними входами» означає, що розглянутий тригер має три інформаційних входи: вхід установки  $S$ , вхід скидання  $R$  і синхронізуючий вхід  $C$ ; перемикавання тригера відбувається в моменти часу, обумовлені появою активного логічного сигналу на вході синхронізації  $C = 0$ , причому для перемикавання на входи  $R$  або  $S$  необхідно подати низький логічний рівень, тобто, сигнал лог. 0 ( $R = 0$  або  $S = 0$ ). Такі входи відповідно позначають,  $\bar{C}$ ,  $\bar{R}$  і  $\bar{S}$ .

При синтезі мажоритарних нанотригерів для економії обладнання доцільно в якості елементарного автомата використовувати мажоритарні елементи (МЕ), що суміщає логічні функції з функціями затримки [2, 3]. Матриця переходів МЕ як елемента затримки має наступний вигляд:

$$\begin{array}{ccc|c} & & & q \\ 0 & - & 0 & 0 \\ 0 & - & 1 & 1 \\ 1 & - & 0 & 0 \\ 1 & - & 1 & 1 \end{array},$$

де зліва від матриці записані типи переходів.

Розглянемо порядок побудови базових нанотригерів з різною кількістю входів.

**Тригер з роздільними входами (RS-тригер)** має вхід  $S = x_1$  для установки в стан «1» і вхід  $R = x_0$  для установки в стан «0». Функції переходів і збудження тригера з роздільними входами наведені в табл. 1 [4]. Їй відповідає аналітична форма запису виду:

$$q(t_{i+1}) = \bar{R}(t_i)q(t_i) \vee S(t_i). \quad (3)$$

Таблиця 1 – Функції переходів і збудження RS-тригера

$x_1$	$x_0$	$Q_i$	$Q_{i+1}$	$q$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1'	1'	0	–	$a_1$
1'	1'	1	–	$a_2$

При заборонених комбінаціях вхідних сигналів, відзначених в табл. 1 одиницями з штрихами 1', функція збудження може приймати довільне значення ( $a_1, a_2$ ). Залежно від конкретних значень невизначених коефіцієнтів  $a_1$  і  $a_2$ , можна синтезувати кілька варіантів наносхем тригерів з роздільними входами.

*Варіант 1.*  $a_1 = 1, a_2 = 0$ :

$$\begin{aligned} q &= \bar{x}_1 \bar{x}_0 Q_i \vee x_1 \bar{x}_0 \bar{Q}_i \vee x_1 \bar{x}_0 Q_i = x_1 \bar{Q}_i \vee \bar{x}_0 Q_i; \\ q &= \text{maj}\left(\text{maj}(x_1, \bar{Q}_i, 0), \text{maj}(\bar{x}_0, Q_i, 0), 1\right). \end{aligned} \quad (4)$$

Структурна схема одноелектронного тригера з роздільними входами, що побудована відповідно до рівняння (4), та результати моделювання показані на рис. 2.

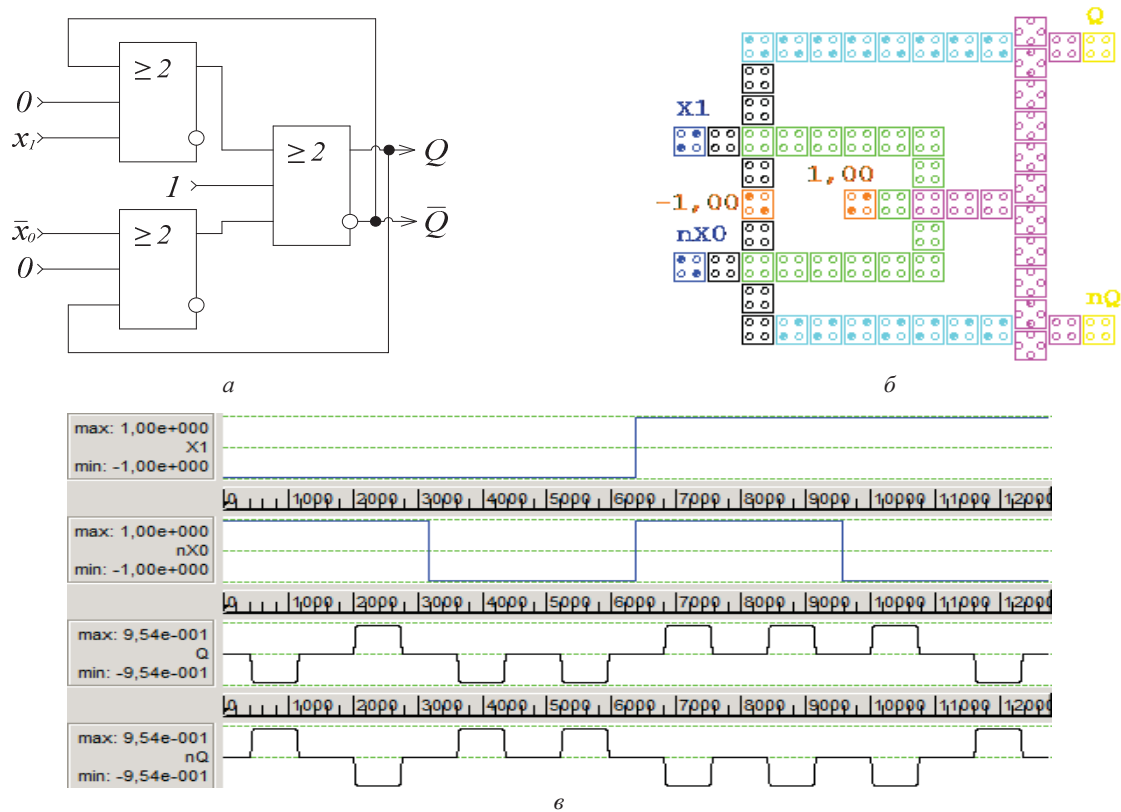


Рис. 2 – RS-тригер (модифікація 1): *а* – структурна схема; *б* – наносхема на квантових автоматах [2]; *в* – результати моделювання сигналів логічних станів RS-тригера в САПР QCADesigner [4].

Варіант 2.  $a_1 = a_2 = 1$ :

$$q = \bar{x}_1 \bar{x}_0 Q_t \vee x_1 \bar{x}_0 \bar{Q}_t \vee x_1 \bar{x}_0 Q_t = \bar{x}_0 (x_1 \vee Q_t);$$

$$q = maj(maj(x_1, Q_t, 1), \bar{x}_0, 0). \quad (5)$$

Другий варіант схеми тригера з роздільними входами наведено на рис. 3.

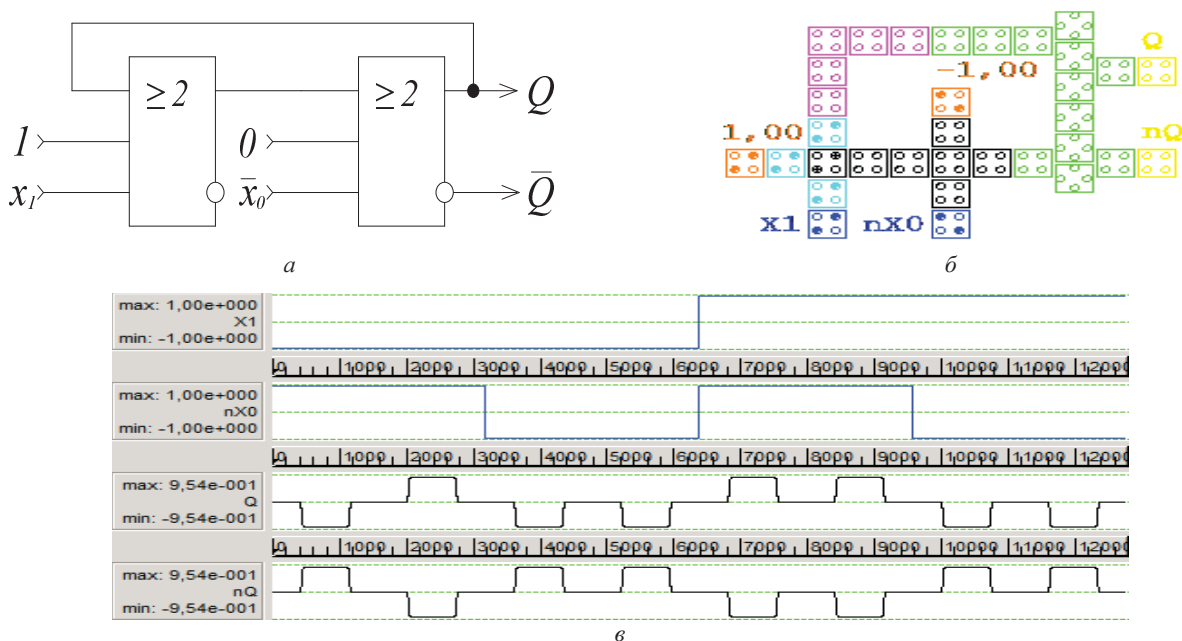


Рис. 3 – RS- тригер (модифікація 2): *а* – структурна схема; *б* – наносхема на квантових автоматах [2]; *в* – результати моделювання сигналів логічних станів RS-тригера в САПР QCADesigner [4].

Варіант 3.  $a_1 = a_2 = 0$ :

$$q = \bar{x}_1 \bar{x}_0 Q_t \vee x_1 \bar{x}_0 \bar{Q}_t \vee x_1 \bar{x}_0 Q_t \vee x_1 x_0 \bar{Q}_t \vee x_1 \bar{x}_0 Q_t = x_1 \vee \bar{x}_0 Q_t ;$$

$$q = \text{maj}(\text{maj}(\bar{x}_0, Q_t, 0), x_1, 1) .$$
(6)

Третій варіант схеми тригера з роздільними входами показаний на рис. 4.

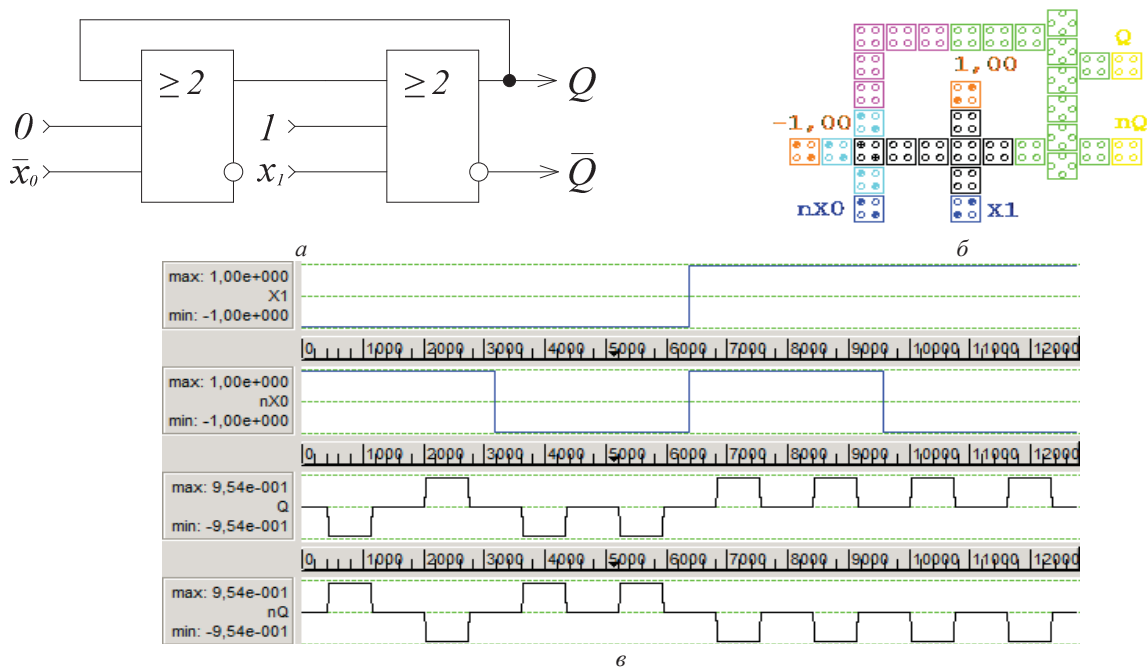


Рис. 4 – RS- тригер (модифікація 3): а – структурна схема; б – наносхема на квантових автоматах [2]; в – результати моделювання сигналів логічних станів в САПР QCADesigner [4].

Варіант 4.  $a_1 = 0, a_2 = 1$ :

$$q = \bar{x}_1 \bar{x}_0 Q_t \vee x_1 \bar{x}_0 \bar{Q}_t \vee x_1 \bar{x}_0 Q_t \vee x_1 x_0 Q_t = x_1 \bar{x}_0 \vee \bar{x}_0 Q_t \vee x_1 Q_t ;$$

$$f_{x_1 \bar{x}_0} = \bar{x}_1 Q_t \vee x_1 Q_t = Q_t ; \quad f_{x_1 \bar{x}_0} = x_1 \vee x_1 Q_t = x_1 ;$$

$$q = \text{maj}(\text{maj}(x_1, x_0, x_1), \text{maj}(\bar{x}_1, \bar{x}_0, x_1), Q_t) = \text{maj}(x_1, x_0, Q_t) .$$
(7)

Схема тригера з роздільними входами, побудована у відповідності з рівнянням (7), наведена на рис. 5.

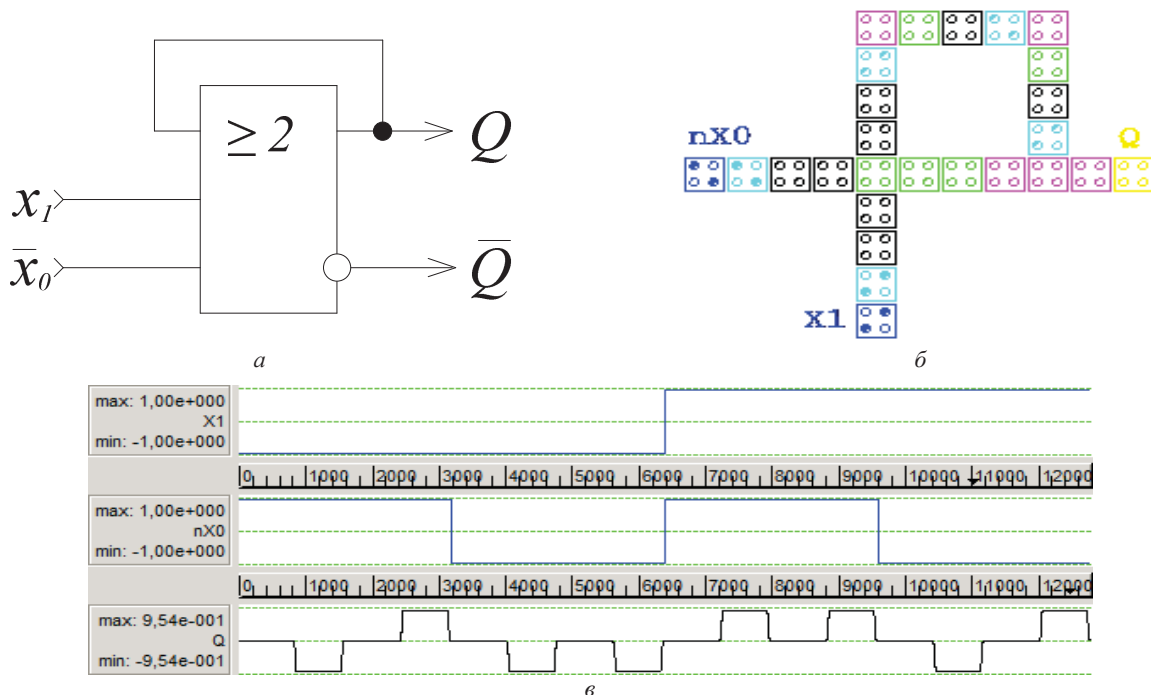


Рис. 5 – RS-тригер (модифікація 4): а – структурна схема; б – наносхема на квантових автоматах [2]; в – результати моделювання сигналів логічних станів в САПР QCADesigner [4].

Таким чином, усі чотири модифікації RS-нотригерів на квантових МЕ мають однакові часові характеристики.

Останній варіант RS-тригера (рис. 5) є найоптимальнішим і реалізується лише на одному універсальному МЕ (УМЕ) без використання постійного рівня напруги.

Для проектування одноелектронних **нанореєстрів паралельної дії** будемо використовувати RS тригери з роздільними входами. Матриця переходів таких тригерів має вигляд:

			$q_0$	,
0	–	0	0	
0	–	1	X	
1	–	0	X	
1	–	1	1	

де X – це сигнал, який був на виході тригера в попередній момент часу.

Нанореєстр паралельної дії без ланцюгів зсуву призначений для прийому і зберігання паралельного коду числа і являє собою набір найпростіших RS-тригерів з роздільними входами (рис. 5, а, б). На рис. 6, а показана схема реєстра з управлінням по одиничним входам  $E = 1$ , а на рис. 7, а – схема реєстра з парафазними входами. Для роботи реєстра з парафазними входами не потрібно попередньої установки його в стан «0».

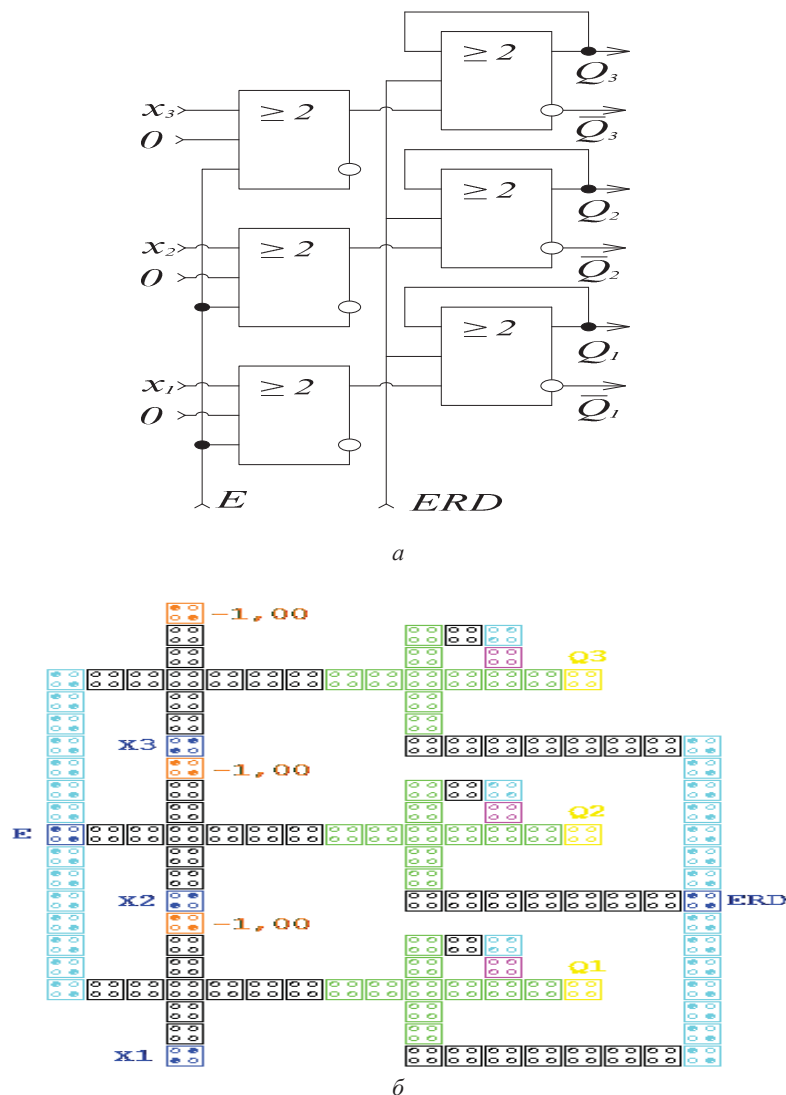
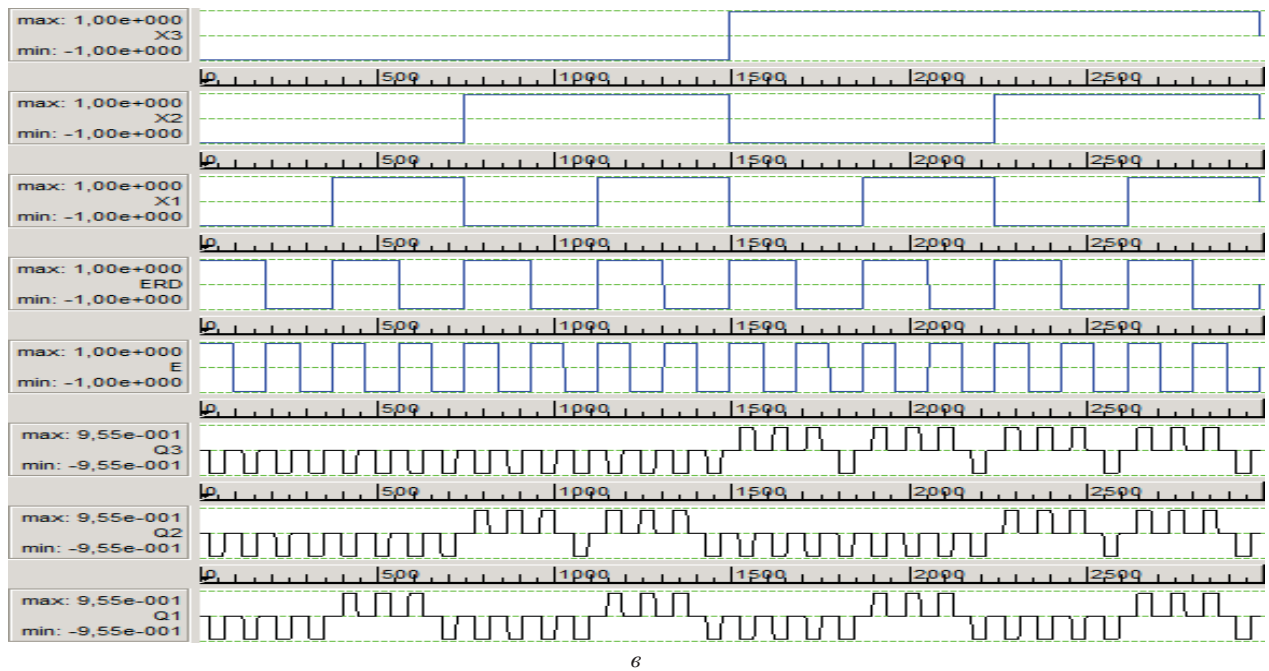


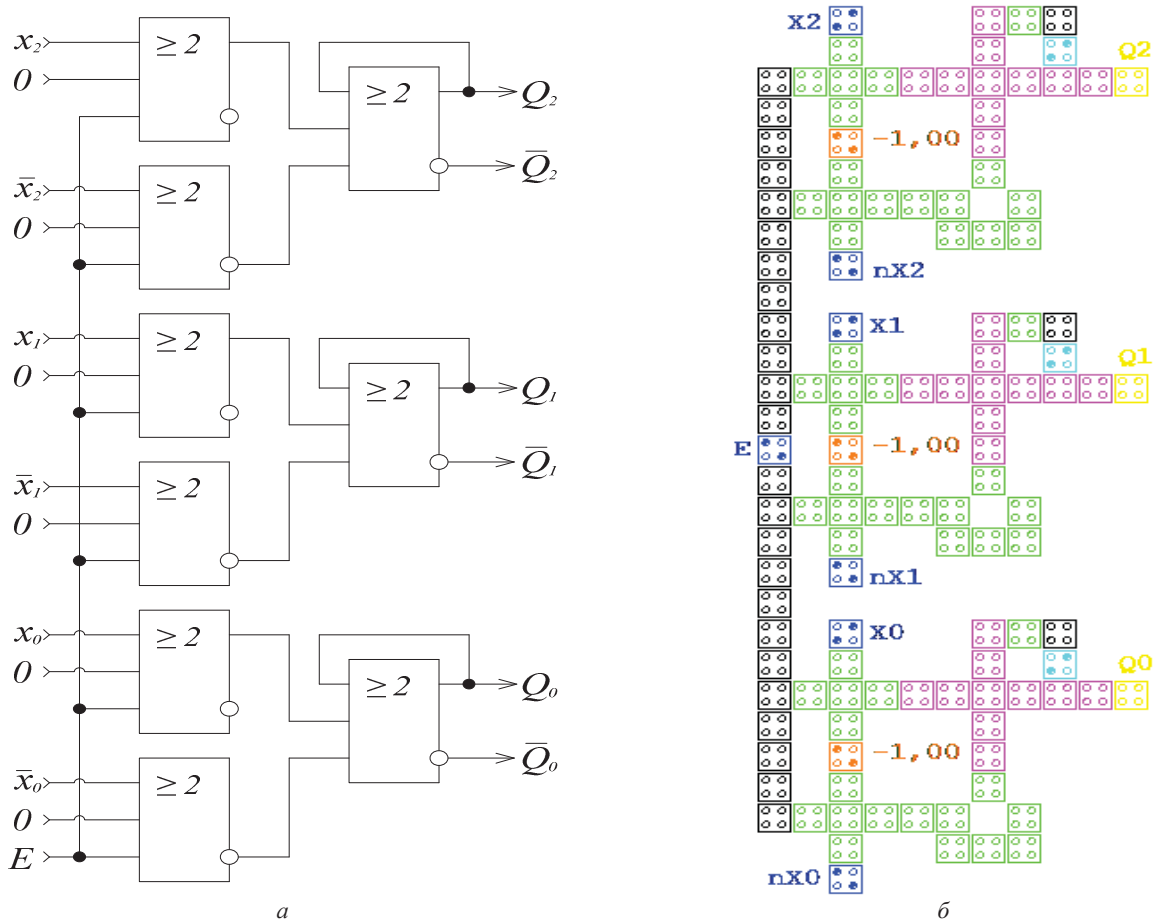
Рис. 6 – Паралельний реєстр з управлінням по одиничним входам:  
а – структурна схема; б – наносхема на квантових автоматах [2].



6

Рис. 6 – Паралельний регістр з управлінням по одиничним входам: 6 – результати моделювання сигналів логічних станів в САПР QCADesigner [4].

Загальна кількість квантових коміркових автоматів наносхеми регістра складає 129. Розміри квантових коміркових автоматів:  $(18 \times 18)$  нм. Відстань між центрами квантових коміркових автоматів дорівнює 20 нм. Діаметри квантових островців 5 нм. Загальні розміри регістра паралельної дії складають:  $(340 \times 420)$  нм.



a

6

Рис. 7 – Регістр з парфразними входами: а – структурна схема; б – наносхема на квантових автоматах [2].





Рис. 7 – Регістр з парафразними входами: *в* – результати моделювання сигналів логічних станів в САПР QCADesigner [4].

Загальна кількість квантових коміркового автоматів наносхеми регістра з парафразними входами складає 127. Розміри квантових коміркового автоматів:  $(18 \times 18)$  нм. Відстань між центрами квантових коміркового автоматів дорівнює 20 нм. Діаметри квантових островців 5 нм. Загальні розміри регістра складають:  $(220 \times 580)$  нм.

**Висновки.** Один із найбільш перспективних напрямків підвищення надійності і завадостійкості при дії на їх входи випадкових флуктуацій сигналів роботи обчислювальних систем являються мажоритарні елементи.

В роботі реалізовано комп'ютерне проектування нанопристроїв послідовностного типу із застосуванням системи автоматизованого проектування QCADesigner. Досягнута мета розширення наносхем і підвищення їх експлуатаційної надійності.

Створена функціонально повна мажоритарна система нанoelementів для комп'ютерного проектування нанопристроїв послідовностного типу, в числі яких нанотригери з роздільними входами та (на їх базі) нанореєстри.

#### Список літератури

1. Колодницький М. М. Елементи теорії САПР складних систем : Навч. посібник. – Житомир : ЖТТИ, 1999. – 512 с.
2. Lent C. S., Tougaw P. D. A Device Architecture for Computing with Quantum Dots. // Proc. of the IEEE. – 1997. – vol. 85. – issue 4. – pp. 541 – 557. DOI: 10.1109/5.573740.
3. Пакулов Н. И. Мажоритарный принцип построения надежных узлов и устройств. – М. : Сов. Радио, 1974. – 184 с.
4. Melnyk O. S., Todavchych S. V. Synthesis of Programmable Nanoelectronic Devices // Journal of Electronics and Control Systems. – 2013. – № 35. – P. 89 – 94. DOI: 10.18372/1990-5548.35.5788.
5. Walus K., Dysart T. J., Jullien G. A., Budiman R. A. QCADesigner : A Rapid Design and Simulation Tool for Quantum-Dot Cellular Automata // IEEE Transactions on Nanotechnology. – 2004. – vol. 3, issue 1. – pp. 26 – 31. DOI: 10.1109/TNANO.2003.820815.

#### References (transliterated)

1. Kolodnits'kyi M. M. *Elementy teoriiy SAPR skladnykh system : Navch. posibnyk* [Elements of composite system CAD theory: tutorial]. Zhytomyr, ZhTTI Publ., 1999. 512 p.
2. Lent C. S., Tougaw P. D. A Device Architecture for Computing with Quantum Dots. *Proc. Of the IEEE*. 1997, vol. 10, no. 3, pp. 73–83.
3. Pakulov N. I. *Mazhoritarnyy printsyp postroeniya nadezhnykh uzlov i ustroystv* [Majority principle of constructing reliable nodes and devices]. Moscow, Sov. Radio Publ., 1974. 184 p.
4. Melnyk O. S., Todavchych S. V. Synthesis of Programmable Nanoelectronic Devices. *Journal of Electronics and Control Systems*. 2013, no. 35, pp. 89–94. DOI: 10.18372/1990-5548.35.5788.
5. Walus K. QCA Designer : A Rapid Design and Simulation Tool to QCADII Int. *Journal of Nanotech and Appl*. 2005, no. 1, pp. 1–7.

Надійшла (received) 07. 02.2018

Відомості про авторів / Сведения об авторах / Information about authors

**Мельник Олександр Степанович (Мельник Александр Степанович, Melnyk Oleksandr Stepanovych)** – кандидат технічних наук, доцент, Національний авіаційний університет, м. Київ; тел.: (067) 213-03-08; e-mail: melnyk.ols@gmail.com.

**Борсук Андрій Олегович (Борсук Андрей Олегович, Borsuk Andriy Olegovich)** – студент, Національний авіаційний університет, м. Київ; тел.: (066) 153-05-97; e-mail: andriyborsuk98@gmail.com.